31.

1. В чем заключается необходимость введения сегментирования адресного пространства при линейной адресации? Чем определяется размер такого сегмента? Приведите примеры представления адресной части команды для сегментов различной длины.

Необходимость:

* разбиение задач пользователей на модули;
* необходимо помнить, что, кроме задач пользователей, в ОП загружены программы ОС, которые также разбиты на модули и написаны в ЛА;
* при больших объемах программ и данных появляется возможность хранить и описывать данные в одном линейном сегменте произвольного размера, а не в нескольких, как при сегментной адресации;
* динамическое распределение памяти и перемещаемость сегментов;
* защиту сегментов пользователей и ОС от взаимного преднамеренного или случайного воздействия друг на друга.

При линейной адресации число разрядов, определяющих номер сегмента, можно установить произвольным или, другими словами, устанавливать произвольным размер сегмента (или разрядность смещения для каждого сегмента). Например, приведен пример такого разбиения 16-ти мегабайтного 24-разрядного адресного пространства логического адреса процессора МС68000 на два сегмента по 4 Мбайта, два сегмента по 2 Мбайта и 64 сегмента по 64 Кбайт памяти:

2 х 4 Мбайт + 2 х 2 Мбайт + 64 х 64 Кбайт = 16 Мбайт

Здесь старшие k разрядов ЛА определяют номер сегмента, а младшие n-k-1 бит разрядность смещения. Естественно, для реализации такого принципа распределения для каждого сегмента необходимо дополнительно указывать его максимальный разрешенный размер.

1. Алгоритмы замещения страниц в виртуальной памяти. Методы. Достоинства и недостатки методов.

При отсутствии страницы в ОП (бит присутствия Р=0), и если в ОП нет свободного места, то она замещает одну из страниц, находящихся в ОП. При этом, если в замещаемую страницу во время ее пребывания в ОП производилась запись, она должна быть передана в дисковую память.

Эти процедуры передачи информации, называемые свопингом страниц, вызывают простои процессора, поэтому следует стремиться уменьшить число таких операций во время выполнения программы.

При отсутствии страницы в ОП возникает особый случай прерывания, называемый страничным сбоем. Процедура удаления страницы из ОП называется процессом замещения страниц, а правило, по которому при возникновении страничного сбоя выбирается страница для удаления из ОП, - алгоритмом замещения. Таким образом, для повышения производительности процессора алгоритм замещения должен свести число замещений к минимуму.

На практике используют эвристические методы, использующие информацию об обращениях к страницам в прошедшие моменты времени, так как информация о потоке обращений в будущем отсутствует.

Можно выделить следующие алгоритмы замещения:

**Алгоритм случайного замещения.** Из ОП удаляется любая из находящихся там страниц (например, по счетчику номеров страниц, загруженных в ОП).

**Алгоритм "первый пришел - первый вышел"** (FIFO-алгоритм). Отсылается страница, дольше других находящаяся в ОП.

**Алгоритм "последний пришел - первый вышел"** (LIFO-алгоритм). Отсылается страница, позже других поступившая в ОП.

**Алгоритм по времени неиспользования.** Из ОП удаляется страница, наиболее давно неиспользовавшаяся, Для каждой страницы необходимо вычислять значения Т1, Т2, Т3, ... , Тm, характеризующие времена неиспользования страниц, размещенных в ОП. Для этого каждой странице ставится в соответствие бит обращения А (бит неиспользования), который устанавливается при каждом обращении к странице. Для наблюдения отводятся интервалы времени, в течение которых процессор выполняет R команд и вырабатывается прерывание для начисления времени неиспользования. Если бит обращения 68 А=0 за это время (не было обращений к странице), то время неиспользования увеличивается на единицу Тн:=Тн + 1, записываемое в определенное поле дескриптора страницы. Удалению подлежит страница с максимальным временем неиспользования Тн.

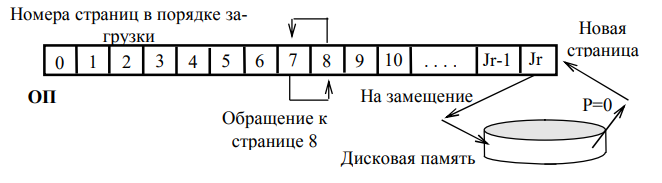
**Алгоритм "рабочий комплект".** Страницы, находящиеся в ОП, использовавшиеся в течение заданного интервала времени по биту обращения А (А=1), образуют "рабочий комплект". Страницы, не вошедшие в "рабочий комплект" (с битом А=0), формируют две очереди страниц кандидатов на замещение:

1) Очередь страниц, в которые не вносились изменения (бит обновления D=0);

2) Очередь страниц, в которые вносились изменения (D=1);

Замещение производится по правилу «первый пришел из "рабочего комплекта" - первый ушел из ОП», при этом сначала подлежат замещению страницы из первой очереди.

**Алгоритм "карабкающаяся страница".** Страницы в ОП имеют последовательные номера Рi = 0, 1, 2, 3, . . . , Jr, которые при очередном обращении к странице меняются местами с соседней слева страницей или, другими словами, "карабкаются" к началу последовательности, подальше от ее конца, куда происходит замещение при страничном сбое.



**Алгоритм по вероятности использования (псевдо LRU-стека).** Аналогично алгоритмам 4 и 6 с помощью бита обращения А устанавливается активность страниц за время выполнения R команд. Далее все активные страницы перемещаются в начало списка страниц, хранимых в ОП. Удалению подлежит страница, замыкающая список. Данный метод является наиболее эффективным, но требует большого времени на процесс переупорядочивания списка страниц. Многие авторы интерпретируют методы "рабочий комплект" и по времени неиспользования как алгоритм псевдо LRU-стека, так как они имеют приблизительно одинаковую эффективность определения кандидата на замещение.

32.

1. Алгоритмы обнаружения и исправления одиночной ошибки и примеры их применения на практике. Отличия алгоритмов.

В ряде ЭВМ повышенной надежности в ОП, ВЗУ на МЛ и МД, при передаче информации по каналам связи применяют корректирующие коды, позволяющие не только обнаруживать, но и автоматически исправлять ошибки. К таким кодам относятся:

♦ код Хэмминга;

♦ групповые коды;

♦ циклические коды и другие.

Код Хэмминга получают путем добавления к информационным разрядам слова дополнительных контрольных разрядов, которые формируются перед записью (передачей) информации путем подсчета четности суммы единиц для определенных групп информационных разрядов. Контрольная аппаратура при считывании (или приеме) информации путем аналогичных подсчетов образует новый контрольный код или корректирующее число, которое равно 0 при отсутствии одиночной ошибки либо указывает место ошибки (синдром ошибки), а ошибочный разряд автоматически корректируется (исправляется) путем изменения его состояния на противоположное

1. Какие способы формирования адреса для доступа к СОЗУ данных Вы

можете предложить для полностью ассоциативного распределения кэш-памяти?

ОП разбивается на строки по 8 слов в каждой (рисунок 2.3). Разрядность физического адреса слова (ФА) составляет 16 бит, следовательно, адрес строки определяется 13-ю старшими битами ФА, которые однозначно идентифицируют любую строку, хранимую в ОП. В кэш-памяти может быть размещено 512:8=64 строки. Для хранения идентификатора строк, находящихся в кэш-памяти, используют специальную память, называемую теговой памятью, а для хранения непосредственно данных (строк) используется СОЗУ данных. То есть каждому адресу строки в теговой памяти соответствует 8 слов (строка) в СОЗУ данных. Таким образом, для определения местоположения строки (в кэш-памяти или в 14 ОП) необходимо сравнить содержимое всех ячеек теговой памяти с 13-ю старшими разрядами ФА (тегом ФА) и если будет обнаружено совпадение, то значит строка располагается в быстродействующей кэш-памяти и операнд считывается из или записывается в СОЗУ данных кэш-памяти. Для получения адреса строки СОЗУ данных [b] в памяти тегов необходимо выполнить его формирование (адрес указан в скобках) или в дополнительном поле теговой памяти хранить этот адрес. Бит достоверности данных d=1 указывает на принадлежность строки кэш-памяти, а нулевое значение означает, что данная ячейка свободна (в ней размещаются недостоверные данные, принадлежащие, например, другой программе). Если в памяти тегов хотя бы один бит d=0, то при обнаружении несовпадения тегов при сравнении процедура обновления ОП не выполняется, а затребованная строка из ОП перемещается в кэш-память для дальнейшего использования.

33.

1. Методика построения схемы генератора кода Хэмминга и контрольного кода по нечетности.

Для образования контрольного кода Хэмминга (КХ) используется проверочная матрица Н размерности r x n, где r - число контрольных бит, а n = k + r, где k - разрядность информационного слова, а n - длина кодового слова, записываемого в память.

Введем следующие обозначения:

V = (V1,V2,V3,...,Vn) - записанное в ОЗУ кодовое слово;

U = (U1,U2,U3,...,Un) - считанное из ОЗУ кодовое слово.

При записи в ОЗУ и при считывании выполняется процесс формирования контрольных бит с помощью проверочной матрицы Н.

Н = | Р, Ir |, ( 5.1 )

где Р - двоичная матрица размерности r x k, а Ir - единичная матрица размерности r x r. Первые k бит кодового слова представляют собой информационные биты, r последних - контрольные.

Проверочная матрица Н размерностью r x n определяет условия, которым должно удовлетворять считанное из ОЗУ кодовое слово. Эти условия задаются в виде бит, сумма по модулю 2 которых должна быть равна нулю (синдрома ошибок), т.е. должно выполняться условие:

S = Н Uт = 0, ( 5.2 )

где Uт - трансформированный вектор U.

Код, описываемый матрицей вида (5.1), является разделимым.

Если записанное и считанное кодовые слова отличаются хотя бы в одном бите, то разница между U и V определяет вектор ошибки Е=(Е1,Е2,....,Еn), т.е. U = V + E, т.е. если Еi ≠ 0, то i-й бит считанного слова содержит ошибку.

Проверка считанного слова заключается в вычислении синдрома ошибки S:

S = H Uт = H ( Vт + Ет ). ( 5.3 )

Если S - нулевой вектор, то считается, что ошибок нет. В противном случае синдром определяет вектор ошибки. Синдром является суммой по модулю 2 тех столбцов h матрицы Н, которым соответствуют ошибки. Если столбец hi нулевой, то ошибка в этой позиции кодового слова не окажет влияния на синдром и не позволит обнаружить ошибку. Если два столбца матрицы Н совпадают, то одиночные ошибки в каждой из этих позиций кодового слова дают один и тот же синдром.

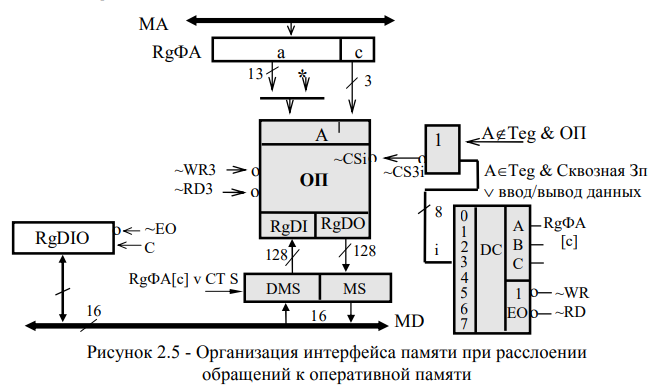
Отсюда, матрица Н кода КО-ОД должна удовлетворять следующим условиям:

1) векторы-столбцы матрицы Н не должны быть нулевыми и должны отличаться друг от друга;

2) сумма двух векторов-столбцов матрицы Н не должна равняться нулю или любому третьему вектору-столбцу матрицы Н.

1. Как организуется доступ к ОП с расслоением обращений при выполнении процедуры замещения строк и сквозной записи? Приведите фрагмент схемы и дайте пояснения.

Требует наличия на выходах ОП RgDO с выходами с zсостоянием или мультиплексора на 8 входов, а на входах соответственно демультиплексора и регистра RgDI. Тогда процедура обновления ОП потребует 8 x tсозу для чтения строки из СОЗУ данных и записи в RgDI через DMS и одного обращения Tозу к ОП для записи строки и столько же обращений для замещения строки кэш-памяти.



34.

1. Какие методы повышения быстродействия памяти используют принцип пространственной локальности данных?

Разделение кэш-памяти на независимые кэш-память команд и кэш-память данных с использованием различных стратегий обновления и замещения строк, т.к. для программ нет необходимости записи и удаления строк из кэш-памяти в ОП, если программа не модифицируется в процессе выполнения. Кроме того, процедуру замещения можно выполнять не строками, а блоками размером до 256 байт благодаря хорошей пространственной локальности программ, что в совокупности позволяет уменьшить время замещения.

1. Что такое модульная организация ВС? Какие виды модулей можно выделить в составе ТС ЭВМ? Их характеристика. Достоинства и недостатки.

Принцип модульной организации предполагает построение ЭВМ и ВС на основе набора модулей. Под модулем понимается конструктивно, функционально и электрически законченное устройство, позволяющее самостоятельно или в совокупности с другими модулями решать задачи заданного класса или выполнять определенные функции. При этом различают функциональные и конструктивные модули.

К функциональным модулям, как правило, относятся БИС, выполняющие строго определенные функции. Например, БИС операционных устройств, БМУ и т.д. для секционированных МкПр, БИС ЦП, блоки приоритетных прерываний, прямого доступа в память для однокристальных микропроцессоров, БИС микроконтроллеров. Из этих модулей собираются конструктивные ТЭЗы (платы) путем объединения функциональных модулей и наращивания разрядности обрабатываемых данных.

Конструктивные ТЭЗ (платы) также выполняют строго определенные функции, например, материнская плата, плата контроллера НМД, слоты памяти и т.д., или в систему может входить несколько ТЭЗ с одно- или разнотипными процессорами, на основе которых можно создавать любые конфигурации ЭВМ, отличающиеся друг от друга функциональными возможностями и техническими характеристиками. Модульный подход также способствует сокращению затрат и сроков проектирования, упрощает наращивание мощности и реконфигурацию систем, отодвигает время морального старения ТС.

При решении вопроса о функциональном составе модулей существуют две диалектические противоположности: многофункциональность (универсальность) и специализация модулей. Многофункциональные модули позволяют обеспечить:

\* сокращение номенклатуры модулей;

\* снижение затрат на проектирование и их изготовление;

\* высокую серийность, а следовательно, и низкую стоимость.

Специализация модулей позволяет исключить избыточность структуры за счет оптимизации схемных решений, реализуемых алгоритмов и функций. Однако специализация модулей низшего конструктивного уровня ведет к необходимости иметь большое число разнотипных модулей, хотя и с высокими техническими характеристиками, за исключением создания систем специализированного назначения.

Примерами многофункциональных модулей могут служить ОУ, БМУ секционированных МПК, однокристальные ЦП, программируемые периферийные БИС, реализующие по несколько разнотипных программно настраиваемых режимов работы.

Специализированные модули позволяют получать хорошие характеристики по быстродействию, надежности, потребляемой мощности.

35.

1. Какие виды корректирующих кодов Вы знаете? Как зависит обнаруживающая способность корректирующих кодов от типа БИС памяти?

В ряде ЭВМ повышенной надежности в ОП, ВЗУ на МЛ и МД, при передаче информации по каналам связи применяют корректирующие коды, позволяющие не только обнаруживать, но и автоматически исправлять ошибки. К таким кодам относятся:

♦ код Хэмминга;

♦ групповые коды;

♦ циклические коды и другие.

Все корректирующие коды можно классифицировать по обнаруживающей способности:

- КО-ОД - коррекция одиночных ошибок и обнаружение двойных (код Хэмминга, коды с нечетными весами столбцов проверочной матрицы) в основном используются для однобитовых БИС памяти, т.к. выход из строя даже всей БИС не нарушает работу ОЗУ;

- КО-ОД-ООГ - код КО-ОД с дополнительной способностью обнаружения кратной ошибки в одной группе (под группой подразумеваются БИС ОЗУ с организацией k-бит слова (4 бита, 8 бит));

- КОГ-ОДГ - коды с коррекцией ошибок в одной группе и обнаружением в двух группах, т.к. ошибка в одной группе может вызвать ошибку в соседней группе (ошибка в байте вызывает ошибку в соседнем байте (БИС памяти));

- КД-ОТ - с коррекцией двойных и обнаружением тройных ошибок.

Благодаря корректирующему коду ОЗУ может нормально работать при наличии как случайных отказов (сбоев), так и постоянных отказов.

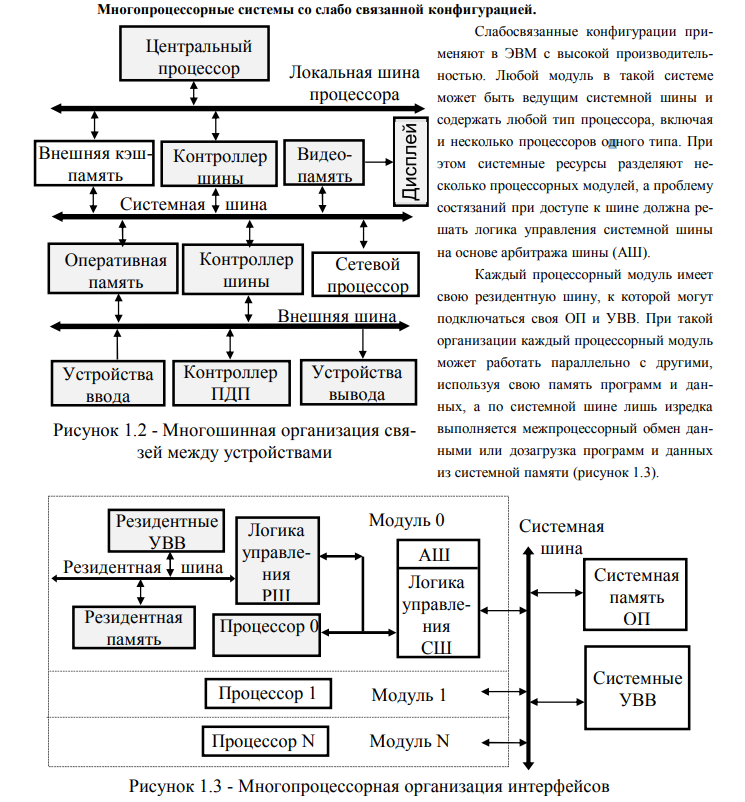
1. Назначение бита достоверности строки кэш-памяти. Как используется значение этого бита при обращении к памяти, если А П Тег для прямого распределения кэш-памяти?

Бит достоверности данных d=1 указывает на принадлежность строки кэш-памяти, а нулевое значение означает, что данная ячейка свободна (в ней размещаются недостоверные данные, принадлежащие, например, другой программе).

d = выдача результата

36.

1. Мультипроцессорные системы со слабосвязанной конфигурацией. Достоинства и недостатки.



1. Перечислите требования, предъявляемые к памяти ЭВМ. Дайте их характеристику.

1. Универсальность, т.е. многофункциональное использование всех типов памяти для хранения программ и любых типов данных, а также обеспечение ее технических характеристик в заданных пределах.

2. Общность решаемых задач, т.е. память должна быть ориентирована на решение любого класса задач и обеспечивать максимальную эффективность организации вычислительного процесса.

3. Высокое быстродействие - память должна обеспечивать работу процессора в реальном времени и не снижать характеристики его производительности.

4. Надежность. В связи с ростом емкости памяти ЭВМ доля аппаратурных затрат на ее реализацию неуклонно возрастает, что приводит к увеличению числа сбоев и отказов памяти. Поэтому обеспечение высокой надежности памяти и достоверности результатов особенно возрастает.

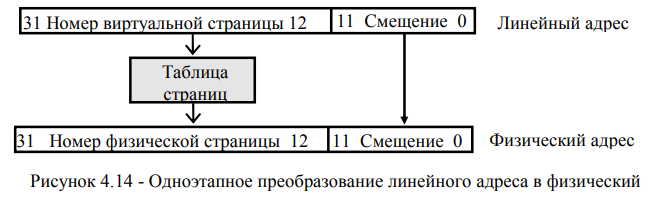
5. Низкая стоимость. Так как емкость памяти и быстродействие постоянно возрастают, то и увеличивается и стоимость памяти. Поэтому данная проблема приобретает особую актуальность.

6. Обеспечение совместного использования и доступа к памяти множеством программ или процессоров в мультипрограммных и многопроцессорных комплексах.

7. Дружественность, т.е. ориентированность памяти к классам решаемых задач пользователя с целью обеспечения улучшения технических характеристик системы и использование удобного как программного, так и аппаратного интерфейса.

37.

1. Приведите схему преобразования линейного адреса в ФА для страничной организации памяти в ЦП Intel 486 на основе TLB буфера и алгоритм работы. Технические характеристики TLB буфера.



Собственно преобразование линейного адреса в физический состоит из следующих этапов:

♦ старшие 10 бит 31-22 линейного адреса, сдвинутые на два разряда влево, логически складываются с содержимым регистра базового адреса каталога страниц CR3, и по этому адресу из каталога страниц выбирается один из 1024 элементов PDE, который определяет 20-разрядный адрес таблицы страниц (одну из 1024 таблиц страниц);

♦ средние 10 бит 21-12 линейного адреса, сдвинутые на два разряда влево, логически складываются с содержимым выбранного элемента PDE каталога страниц и по этому адресу из таблицы страниц выбирается один из 1024 элементов PТE, который определяет 20-разрядный адрес страничного кадра в физической памяти (базовый адрес страницы в ОП);

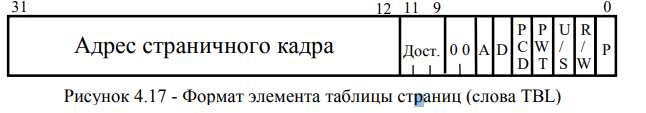
♦ 20-разрядный базовый адрес страничного кадра РТЕ совместно с 12 младшими разрядами атрибутов страницы загружаются в ассоциативный буфер TLB страничного преобразования на место назначенной на удаление страницы по алгоритму псевдо LRU-стека, а также выбранные 20 бит базового адреса страничного кадра совместно с 12 битами 11-0 линейного адреса образуют 32-разрядный физический адрес памяти, по которому производится обращение.

1. Какие процедуры выполняются в общем случае при обращении к кэш памяти, если А П Тег для секторного распределения?

Выполняется обращение к памяти бит достоверности строк.

38.

1. Какой формат элемента таблицы страниц устанавливается для страниц, находящихся во внешней памяти?



1. Какие процедуры выполняются в общем случае при обращении к кэш-памяти, если А П Тег для прямого распределения?

Выдача результата.

39.

1. Что означает термин защита по привилегиям? Уровни привилегий ЦП Intel 486 и их характеристика.

Защита по привилегиям фиксирует более тонкие ошибки и намеренные попытки нарушить функционирование системы.

Механизм защиты процессора опирается на описание различных системных объектов (сегментов) с помощью дескрипторов. В каждом дескрипторе имеется двухбитное поле уровня привилегий дескриптора – DPL, которое определяет, каким программам разрешается доступ к дескриптору и, следовательно, описываемому им объекту (сегменту).

Термин привилегия подразумевает права или возможности, которые обычно не разрешаются. Процессор Intel (кроме 8086) поддерживает 4 уровня привилегий 0, 1, 2, 3: чем меньше номер, тем выше уровень привилегии. Число программ, выполняемых на каждом уровне, уменьшается с увеличением уровня привилегии (уменьшением номера привилегии).

При выполнении почти каждой команды осуществляется проверка защиты по привилегиям для следующих ситуаций:

♦ возможности выполнения текущей команды (для привилегированных команд);

♦ возможности обращения к данным других программ;

♦ возможности передачи управления (переходу) в другой сегмент кода (программ), имеющему другой уровень привилегии по отношению к текущему кодовому сегменту.

1. Как или чем определяется кандидат на удаление из кэш-памяти при замещении строки для всех видов распределения?

Полностью ассоциативное:

При замещении строк кандидатами на удаление могут выступать любые строки в кэш-памяти, в зависимости от принятой стратегии.

Частично-ассоциативное:

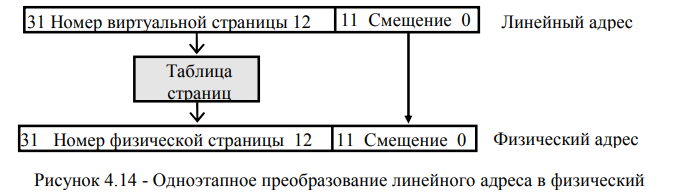
Кандидатом на удаление из кэш-памяти однозначно назначается группа из четырех строк полем [b] RgФА, а конкретная строка определяется ассоциативно по одному из методов замещения строк.

Секторное:

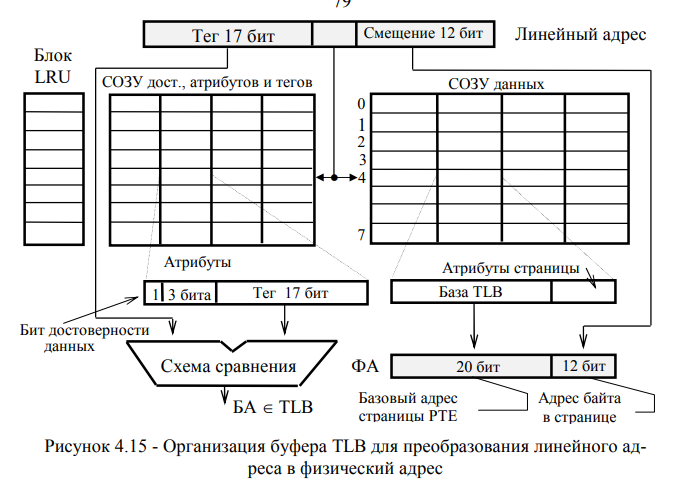
Если адрес (сектор) не принадлежит АЗУ (памяти тегов), то определяется кандидат на удаление сектора из кэш-памяти.

40.

1. Приведите форматы линейного адреса для страничного преобразования в ФА для ситуаций: А О TLB буферу; А П TLB буферу.



В типичных системах TLB удовлетворяет до 99% запросов на доступ к таблицам страниц. В качестве стратегии замещения в буфере TLB применяется алгоритм псевдо-LRU, как и во внутренней кэш-памяти. Если при страничном преобразовании в TLB не обнаружено совпадение тегов, то выполняется процедура замещения информации из таблицы страниц, находящейся в памяти. Кратко рассмотрим этот процесс. В процессоре реализовано двухэтапное или двухуровневое страничное преобразование линейного адреса в физический на уровне ОП, представленное на рисунке 4.16, что позволяет существенно сократить емкость ОП для хранения таблиц страниц по сравнению с одноэтапным преобразованием (рисунок 4.14). В состав ассоциативного буфера TLB также входит регистр управления CR3, в котором хранится 20-разрядный физический базовый адрес каталога страниц текущей задачи, он называется регистром базового адреса каталога страниц PDBR. Каталог страниц постоянно находится в ОП и не участвует в свопинге.



Корневая таблица называется таблицей страниц первого уровня или просто каталогом страниц, содержит 1024 32-разрядных дескриптора, называемых элементами каталога страниц PDE. Каждый элемент таблицы PDE адресует подчиненную таблицу страниц (таблицу страниц второго уровня), т.е. всего допускается иметь до 1024 подчиненных таблиц страниц. Каждая из таблиц страниц содержит 1024 32-разрядных дескриптора, называемых элементами таблицы страниц - РТЕ, и каждый из элементов РТЕ, в свою очередь, адресует страничный кадр в физической памяти

1. Назначение бит достоверности сектора и строки кэш-памяти. Как используется значение этих бит при обращении к памяти, если А П Тег и А Î Тег для секторного распределения кэш-памяти?

Если бит достоверности сектора Trdsek=1, то все сектора в памяти тегов достоверны, и выполняется процедура обновления ОП строк сектора, назначенного в качестве кандидата на удаление